

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-316393  
(43)Date of publication of application : 26.11.1993

(51)Int.Cl. H04N 5/208  
H04N 9/68

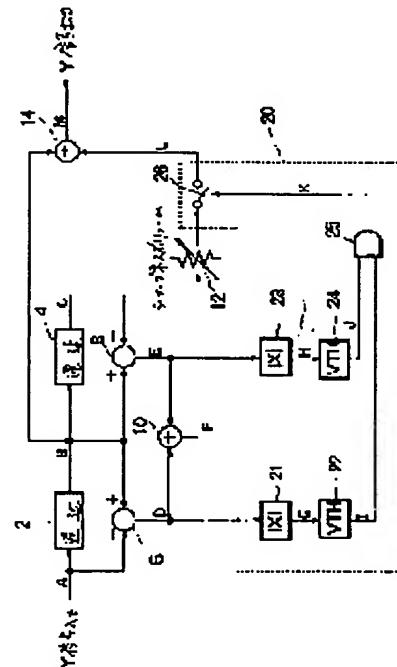
(21)Application number : 04-142141 (71)Applicant : SONY CORP  
(22)Date of filing : 07.05.1992 (72)Inventor : TOMITA HIDEO

**(54) CONTOUR CORRECTION DEVICE**

**(57)Abstract:**

**PURPOSE:** To emphasize contour with a large edge angle of inclination and small overshoot by such a way that an edge period of an input signal is detected for which period a switching means is turned on and the input signal and a contour emphasis signal are added.

**CONSTITUTION:** A switch 26 and an edge detection correction circuit 20 controlling the switch 26 are provided between a sharpness variable resistor 12 and an adder 14. The edge detection correction circuit 20 detects an edge period of a Y signal input to turned on a switch 26 for the period. An output signal of an AND gate 25 is set to a 1st state (H) for a period almost the same as the edge period of an input A of the Y signal. When the signal K is in the 1st state (H), the switch 26 is turned on to allow the adder 14 to add an output signal of a delay line 2 and the contour emphasis signal. When the signal K is in the 2nd state (L) (that is, the Y signal input A is existed in a period other than the edge period), the switch 26 is turned off.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-316393

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.<sup>5</sup>  
H 04 N 5/208  
9/68識別記号  
H 04 N 5/208  
9/68

内整理番号

103 Z 8942-5C

F I

技術表示箇所

(21)出願番号 特願平4-142141

(22)出願日 平成4年(1992)5月7日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 富田 英夫

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

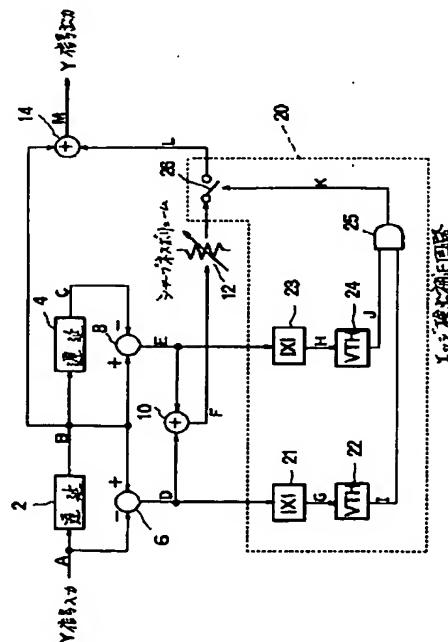
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 輪郭補正回路

## (57)【要約】

【目的】 エッジの傾斜角度が大きく、オーバーシュートが細い輪郭補正を可能にする。

【構成】 エッジが検出されたときのみ、スイッチ2,6をオンにして、加算器1,4による入力信号に対する輪郭強調信号の加算を可能にする。



## 【特許請求の範囲】

【請求項1】 入力信号から輪郭強調信号を生成する輪郭強調信号生成手段と、

前記入力信号と前記輪郭強調信号とを加算する第1加算手段と、

前記輪郭強調信号生成手段と、前記第1加算手段との間に配設されたスイッチング手段と、

前記入力信号のエッジ期間を検出し、この期間の間、前記スイッチング手段をオン状態にするエッジ検出補正手段とを備えることを特徴とする輪郭補正回路。

【請求項2】 前記輪郭強調信号生成手段が、

前記入力信号を所定時間遅延させて出力する第1遅延手段と、

前記第1遅延手段の出力信号を所定時間遅延させて出力する第2遅延手段と、

前記第1遅延手段の入力信号と出力信号との差信号を出力する第1減算手段と、

前記第2遅延手段の入力信号と出力信号との差信号を出力する第2減算手段と、

前記第1および第2減算手段の出力信号を加算する第2加算手段とを有し、

前記エッジ検出補正手段が、

前記第1減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、前記第1減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第1検出手段と、

前記第2減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、前記第2減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第2検出手段と、

前記1検出手段の出力信号と、前記第2検出手段の出力信号との論理積を求める第1論理積手段とを有し、

前記第1論理積手段の出力により前記スイッチング手段を制御し、前記スイッチング手段がオン状態のときに、前記第1加算手段が、前記第1遅延手段の出力信号と前記輪郭強調信号とを加算することを特徴とする請求項1記載の輪郭補正回路。

【請求項3】 前記輪郭強調信号生成手段が、

前記入力信号を所定時間遅延させて出力する第1遅延手段と、

前記第1遅延手段の出力信号を所定時間遅延させて出力する第2遅延手段と、

前記第1遅延手段の入力信号と出力信号との差信号を出力する第1減算手段と、

前記第2遅延手段の入力信号と出力信号との差信号を出力する第2減算手段と、

前記第1および第2減算手段の出力信号を加算する第2加算手段とを有し、

前記エッジ検出補正手段が、

前記入力信号を所定時間遅延させて出力する第3遅延手

段と、

前記第3遅延手段の出力信号を所定時間遅延させて出力する第4遅延手段と、

前記第3遅延手段の入力信号と出力信号との差信号を出力する第3減算手段と、

前記第4遅延手段の入力信号と出力信号との差信号を出力する第4減算手段と、

前記第3減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、前記第3減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第3検出手段と、

前記第4減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、前記第4減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第4検出手段と、

前記3検出手段の出力信号と、前記第4検出手段の出力信号との論理積を求める第2論理積手段と、

前記第2論理積手段の出力信号を入力とする直列接続された所定数個の遅延手段と、

前記所定数個の遅延手段の前半部分の出力信号の論理和を求める第1論理和手段と、

前記所定数個の遅延手段の後半部分の出力信号の論理和を求める第2論理和手段と、

前記第1および第2論理和手段の出力信号の論理積を求める第3論理積手段とを有し、

前記第3論理積手段の出力により前記スイッチング手段を制御し、前記スイッチング手段がオン状態のときに、前記第1加算手段が、前記第1遅延手段の出力信号と前記輪郭強調信号とを加算することを特徴とする請求項1記載の輪郭補正回路。

【発明の詳細な説明】

【0001】 【産業上の利用分野】 本発明は、例えばテレビジョン受像機等のビデオ信号表示装置の輪郭補正回路に関する。

【0002】 【従来の技術】 一般に、ビデオ信号表示装置は、図12のような構成がとられている。Y/C分離回路102

は、ビデオ信号を受けて、輝度信号Yと色信号Cとを分離し、輝度信号Yを輪郭補正回路104に供給し、色信号Cをデコード回路108に供給する。輪郭補正回路104は、輪郭補正した輝度信号Yを出力する。デコード回路108は、色差信号(R-Y)および(B-Y)を出力する。マトリクス回路106は、輪郭補正回路104から輪郭補正した輝度信号Yを受けるとともに、デコ

ード回路108から色差信号(R-Y)および(B-Y)を受けて、赤、青および緑信号R、GおよびBを、CRT、LCDまたはその他の表示デバイスに出力する。

【0003】 図13は、従来の輪郭補正回路の一例を示す。また、図14は、図13の輪郭補正回路の各部の信

号波形を示す。図13の輪郭補正回路Iにおいて、遅延線2は、Y信号入力Aを所定時間遅延させた信号Bを出力する。遅延線4は、遅延線2の出力信号Bを所定時間遅延させた信号Cを出力する。減算器6は、遅延線2の入力信号Aと出力信号とBの差信号Dを出力する。減算器8は、遅延線4の入力信号Bと出力信号Cとの差信号Eを出力する。加算器14は、減算器6および8の出力信号DおよびEを加算する。シャープネスボリューム12は、加算器10の出力信号Fのレベルを調整して輪郭強調信号Lとして出力する。加算器14は、ボリューム12の出力信号すなわち輪郭強調信号Lと遅延線2の出力信号Bとを加算して輪郭補正されたY信号出力Mを発生する。

## 【0004】

【発明が解決しようとする課題】本来、輪郭補正とは、信号の傾き（図15の  $d v / d t$ ）を増すのが目的であり、オーバーシュートがつくこと自体理想的ではない。映像信号は低周波数成分に多くの情報量が存在するので、輪郭補正も低周波成分から補正すべきであるが、図13の従来の輪郭補正回路では、図14（b）に示されているように、幅の広いオーバーシュートが発生し、画質が劣化する。

【0005】本発明は、このような状況に鑑みてなされたものであり、エッジの傾斜角度が大きく（すなわち傾斜が立ち）、オーバーシュートが細い輪郭強調が可能な輪郭補正回路を提供することを目的とする。

## 【0006】

【課題を解決するための手段】請求項1に記載の輪郭補正回路は、入力信号から輪郭強調信号を生成する輪郭強調信号生成手段（例えば、実施例の遅延線2および4、減算器6および8、加算器10、およびシャープネスボリューム12）と、上記入力信号と輪郭強調信号とを加算する第1加算手段（例えば、実施例の加算器14）と、輪郭強調信号生成手段と第1加算手段との間に配設されたスイッチング手段（例えば、実施例のスイッチ26）と、上記入力信号のエッジ期間を検出し、この期間の間、スイッチング手段をオン状態にするエッジ検出補正手段（例えば、実施例のエッジ検出補正回路20または20C）とを備えることを特徴とする。

【0007】請求項2に記載の輪郭補正回路は、輪郭強調信号生成手段が、（1）上記入力信号を所定時間遅延させて出力する第1遅延手段（例えば、実施例の遅延線2）と、（2）第1遅延手段の出力信号を所定時間遅延させて出力する第2遅延手段（例えば、実施例の遅延線4）と、（3）第1遅延手段の入力信号と出力信号との差信号を出力する第1減算手段（例えば、実施例の減算器6）と、（4）第2遅延手段の入力信号と出力信号との差信号を出力する第2減算手段（例えば、実施例の減算器8）と、（5）第1および第2減算手段の出力信号を加算する第2加算手段（例えば、実施例の加算器14）

4）とを有し、エッジ検出補正手段が、（a）第1減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第1減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第1検出手段（例えば、実施例の絶対値回路21および二値化回路22）と、（b）第2減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第2減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第2検出手段（例えば、実施例の絶対値回路23および二値化回路24）と、（c）第1検出手段の出力信号と、第2検出手段の出力信号との論理積を求める第1論理積手段（例えば、実施例のANDゲート25）とを有し、第1論理積手段の出力によりスイッチング手段を制御し、スイッチング手段がオン状態のときに、第1加算手段が、第1遅延手段の出力信号と輪郭強調信号とを加算することを特徴とする。

【0008】請求項3に記載の輪郭補正回路は、輪郭強調信号生成手段が、（1）上記入力信号を所定時間遅延させて出力する第1遅延手段（例えば、実施例の遅延線2）と、（2）第1遅延手段の出力信号を所定時間遅延させて出力する第2遅延手段（例えば、実施例の遅延線4）と、（3）第1遅延手段の入力信号と出力信号との差信号を出力する第1減算手段（例えば、実施例の減算器6）と、（4）第2遅延手段の入力信号と出力信号との差信号を出力する第2減算手段（例えば、実施例の減算器8）と、（5）第1および第2減算手段の出力信号を加算する第2加算手段（例えば、実施例の加算器10）とを有し、エッジ検出補正手段が、（a）上記入力信号を所定時間遅延させて出力する第3遅延手段（例えば、実施例の遅延線2C）と、（b）第3遅延手段の出力信号を所定時間遅延させて出力する第4遅延手段（例えば、実施例の遅延線4C）と、（c）第3遅延手段の入力信号と出力信号との差信号を出力する第3減算手段（例えば、実施例の減算器6C）と、（d）第4遅延手段の入力信号と出力信号との差信号を出力する第4減算手段（例えば、実施例の減算器8C）と、（e）第3減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第3減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第3検出手段（例えば、実施例の絶対値回路21Cおよび二値化回路22C）と、（f）第4減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第4減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第4検出手段（例えば、実施例の絶対値回路23Cおよび二値化回路24C）と、（g）第3検出手段の出力信号と、第4検出手段の出力信号との論理積を求める第2論理積手段（例えば、実施例のANDゲート25C）と、（h）第2論理積手段の出力信号を入力とする直列接続された所定数個の遅延手段（例えば、実施例の微少遅延線D）と、（i）所定数個の遅延手段の前半部

分の出力信号の論理和を求める第1論理和手段（例えば、実施例のORゲート27）と、（j）所定数個の遅延手段の後半部分の出力信号の論理和を求める第2論理和手段（例えば、実施例のORゲート28）と、（k）第1および第2論理和手段の出力信号の論理積を求める第3論理積手段と（例えば、実施例のANDゲート29）を有し、第3論理積手段の出力によりスイッチング手段を制御し、スイッチング手段がオン状態のときに、第1加算手段が、第1遅延手段の出力信号と輪郭強調信号とを加算することを特徴とする。

【0009】

【作用】請求項1の構成の輪郭補正回路においては、入力信号のエッジ期間が検出され、この期間の間、スイッチング手段がオン状態にされ、入力信号と輪郭強調信号とが加算される。従って、エッジの傾斜角度が大きく、オーバーシュートが細い輪郭強調を行うことができる。

【0010】請求項2の構成の輪郭補正回路においては、輪郭強調信号生成手段中において、第1遅延手段が、上記入力信号を所定時間遅延させて出力し、第2遅延手段が、第1遅延手段の出力信号を所定時間遅延させて出力し、第1減算手段が、第1遅延手段の入力信号と出力信号との差信号を出力し、第2減算手段が、第2遅延手段の入力信号と出力信号との差信号を出力し、第2加算手段が、第1および第2減算手段の出力信号を加算する。また、エッジ検出補正手段中において、第1検出手段が、第1減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第1減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力し、第2検出手段が、第2減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第2減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力し、第1論理積手段が、第1検出手段の出力信号と、第2検出手段の出力信号との論理積を求める。そして、第1論理積手段の出力によりスイッチング手段を制御し、スイッチング手段がオン状態のときに、第1加算手段が、第1遅延手段の出力信号と輪郭強調信号とを加算して出力する。従って、簡単な構成で、エッジの傾斜角度が大きく、オーバーシュートが細い輪郭強調を行うことができる。

【0011】請求項3の構成の輪郭補正回路においては、輪郭強調信号生成手段中において、第1遅延手段が、上記入力信号を所定時間遅延させて出力し、第2遅延手段が、第1遅延手段の出力信号を所定時間遅延させて出力し、第1減算手段が、第1遅延手段の入力信号と出力信号との差信号を出力し、第2減算手段が、第2遅延手段の入力信号と出力信号との差信号を出力し、第2加算手段が、第1および第2減算手段の出力信号を加算する。また、エッジ検出補正手段中において、第3遅延手段が、上記入力信号を所定時間遅延させて出力し、第4遅延手段が、第3遅延手段の出力信号を所定時間遅延

させて出力し、第3減算手段が、第3遅延手段の入力信号と出力信号との差信号を出力し、第4減算手段が、第4遅延手段の入力信号と出力信号との差信号を出力し、第3検出手段が、第3減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第3減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力し、第4検出手段が、第4減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第4減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力し、第2論理積手段が、第3検出手段の出力信号と第4検出手段の出力信号との論理積を求め、直列接続された所定数個の遅延手段が、第2論理積手段の出力信号を遅延させ、第1論理和手段が、所定数個の遅延手段の前半部分の出力信号の論理和を求める。そして、第3論理積手段が、所定数個の遅延手段の後半部分の出力信号の論理和を求める。そして、第3論理積手段の出力によりスイッチング手段を制御し、スイッチング手段がオン状態のときに、第1加算手段が、第1遅延手段の出力信号と輪郭強調信号とを加算する。従って、近接している2つのエッジは一連のエッジと判断するので、エッジが近接した信号に対して不自然な強調を行うことがない。

【0012】

【実施例】図1は、本発明による輪郭補正回路の一実施例を示す。この実施例において、Y信号入力から輪郭強調信号を生成する輪郭強調信号生成手段は、図13の従来例と同様に、（1）Y信号入力Aを所定時間遅延させて出力する遅延線2と、（2）遅延線2の出力信号Bを所定時間遅延させて出力する遅延線4と、（3）遅延線2の入力信号Aと出力信号Bとの差信号Dを出力する減算器6と、（4）遅延線4の入力信号Bと出力信号Cとの差信号を出力する減算器8と、（5）減算器6および8の出力信号DおよびEを加算する加算器10と、（6）加算器10の出力信号Fのレベルを調整して輪郭強調信号を出力するシャープネスボリューム12とを備える。

【0013】図1の実施例と図13の従来例との相違は、シャープネスボリューム12と加算器14との間にスイッチ26が設けられていることと、このスイッチ26の開閉を制御するエッジ検出補正回路20が設けられていることである。エッジ検出補正回路20は、Y信号入力のエッジ期間を検出し、この期間の間、スイッチ26をオン状態にする

【0014】エッジ検出補正回路20は、（a）減算器6の出力信号Dの絶対値を出力する絶対値回路21と、（b）絶対値回路21の出力信号Gが閾値レベル以上のときに第1状態（「H」）の信号を出力し、絶対値回路21の出力信号Gが閾値レベル未満のときに第2状態（「L」）の信号を出力する二値化回路22と、（c）

減算器8の出力信号Eの絶対値を出力する絶対値回路23と、(d)絶対値回路23の出力信号Hが閾値レベル以上のときに第1状態(「H」)の信号を出力し、絶対値回路23の出力信号Hが所定レベル未満のときに第2状態(「L」)の信号を出力する二值化回路24と、(e)二值化回路22の出力信号Iと、二值化回路24の出力信号Jとの論理積を求めるANDゲート25とを備える。

【0015】ANDゲート25の出力信号Kは、Y信号入力Aのエッジ期間とほぼ同じ期間の間、第1状態(「H」)となる。この信号Kが第1状態(「H」)のときに、スイッチ26をオン状態にして、加算器14が、遅延線2の出力信号と輪郭強調信号とを加算するようとする。信号Kが第2状態(「L」)のとき(すなわち、Y信号入力Aがエッジ期間以外のとき)、スイッチ26は、オフ状態となる。

【0016】図2は、図1の実施例の各部の信号波形を示し、図3は、図1の実施例の加算器14の2つの入力信号の波形および加算器14から得られる輪郭補正されたY信号出力の波形を示す。以下、これらの図を参照して、図1の実施例の動作を説明する。輪郭強調信号生成手段中においては、遅延線2が、Y信号入力Aを所定時間遅延させて出力し、遅延線4が、遅延線2の出力信号Bを所定時間遅延させて出力し、減算器6が、遅延線2の入力信号Aと出力信号Bとの差信号を出力し、減算器8が、遅延線4の入力信号Bと出力信号Cとの差信号を出力し、加算器10が、減算器6および8の出力信号DおよびEを加算し、シャープネスボリューム12が、加算器10の出力信号Fのレベルを調整して、スイッチ26に出力する。

【0017】一方、エッジ検出補正回路20においては、絶対値回路21が、減算器6の出力信号Dの絶対値を出力し、二值化回路22が、絶対値回路21の出力信号Gが閾値レベル以上のときに第1状態(「H」)の信号を出力し、絶対値回路21の出力信号Gが閾値レベル未満のときに第2状態(「L」)の信号を出力する。また、絶対値回路23が、減算器8の出力信号Eの絶対値を出力し、二值化回路24が、絶対値回路23の出力信号Hが閾値レベル以上のときに第1状態(「H」)の信号を出力し、絶対値回路23の出力信号Hが所定レベル未満のときに第2状態(「L」)の信号を出力する。

【0018】ANDゲート25は、二值化回路22および24の出力信号の論理積を求める。そして、スイッチ26は、ANDゲート25の出力により制御され、スイッチ26がオン状態のときに、すなわちY信号入力Aがエッジ期間のとき、加算器14が、遅延線2の出力信号と輪郭強調信号とを加算して出力する。

【0019】図4は、図1の実施例による輪郭補正を、図13の従来回路による輪郭補正と比較して示す。図4に示されているように、図1の実施例によれば、エッジ

部のd v/d tは従来とほぼ同じ程度に補正され、かつ、オーバーシュートの幅は従来よりも細くなる。

【0020】図1の実施例においては、図5に示されるような立ち上がりと立ち下がりが近接した、すなわちエッジが近接したパルス(図5(a)参照)が入力すると、図5(c)に示されたような不自然な輪郭強調が発生することがある。これは、図5(b)のエッジ検出信号Kに示されているように、図1の実施例が、図5(a)の入力パルス波形を、立ち上がり波形+立ち下がり波形と判断し、各々に対して補正をかけるためすなわち輪郭強調するために発生する。

【0021】図6の実施例は、図5(c)に示されたような不自然な輪郭強調を回避し、パルス波形のより自然な輪郭強調を実現するために、ある程度近接している2つのエッジは一連のエッジと判断する。

【0022】図6の実施例は、輪郭強調信号生成手段が、図1の実施例と同様に、(1)信号A'を所定時間遅延させて出力する遅延線2と、(2)遅延線2の出力信号B'を所定時間遅延させて出力する遅延線4と、(3)遅延線2の入力信号A'と出力信号B'との差信号D'を出力する減算器6と、(4)遅延線4の入力信号B'と出力信号C'との差信号E'を出力する減算器8と、(5)減算器6および8の出力信号D'およびE'を加算する加算器14と、(6)加算器10の出力信号F'のレベルを調整して輪郭強調信号を出力するシャープネスボリューム12とを備える。

【0023】図6の実施例のエッジ検出補正手段20Cは、図1の実施例のエッジ検出回路20と異なっている。すなわち、エッジ検出補正回路20Cは、(a)Y信号入力Aを所定時間遅延させて出力する遅延線2Cと、(b)遅延線2Cの出力信号Bを所定時間遅延させて出力する遅延線4Cと、(c)遅延線2Cの入力信号Aと出力信号Bとの差信号Dを出力する減算器6Cと、(d)遅延線4Cの入力信号Bと出力信号Cとの差信号Eを出力する減算器8Cと、(e)減算器6Cの出力信号Dの絶対値を出力する絶対値回路21Cと、(f)絶対値回路21Cの出力信号が閾値レベル以上のときに第1状態(「H」)の信号を出力し、絶対値回路21の出力信号が閾値レベル未満のときに第2状態(「L」)の信号を出力する二值化回路22Cと、(g)減算器8の出力信号Eの絶対値を出力する絶対値回路23Cと、

(h)絶対値回路23Cの出力信号が閾値レベル以上のときに第1状態(「H」)の信号を出力し、絶対値回路23Cの出力信号が所定レベル未満のときに第2状態(「L」)の信号を出力する二值化回路24Cと、(i)二值化回路22Cおよび24Cの出力信号IおよびJの論理積を求めるANDゲート25Cと、(j)ANDゲート25Cの出力信号を入力とする直列接続された所定数個の微少遅延線Dと、(k)所定数個の微少遅延線Dの前半部分(図6の線K<sub>-a</sub>, K<sub>-a+1</sub>, K<sub>-a+2</sub>..)

・・・ $K_0$ ) の出力信号の論理和を求める OR ゲート 27 と、(1) 所定数個の微少遅延線 D の後半部分 (図 6 の線  $K_0, K_1, K_2, \dots, K_{n-1}, K_n$ ) の出力信号の論理和を求める OR ゲート 28 と、(m) OR ゲート 27 および 28 の出力信号  $K'$  および  $K''$  の論理積を求める AND ゲート 29 とを備え、AND ゲート 29 の出力信号  $K'''$  が「H」のときに、スイッチ 26 をオン状態して、加算器 14 が遅延線 2 の出力信号  $B'$  とシャープネスボリューム 12 の出力信号である輪郭強調信号とを加算できるようにする。なお、遅延線 2C の出力と遅延線 2 の入力との間に設けられる遅延補償回路 5 は、エッジ検補正回路 20C の遅延時間と、輪郭強調信号の遅延時間を一致させるために設けられている。

【0024】図 7、図 8 および図 9 は、図 6 の実施例の各部の信号波形を示し、図 10 は、図 6 の実施例では、図 1 の実施例のような不自然な強調がなされないことを示し、図 11 は、図 6 の実施例において得られるエッジ検出信号  $K''''$  を示す。以下、これらの図を参照して、図 6 の実施例の動作について説明する。

【0025】図 6 の実施例の輪郭強調信号生成部分においては、遅延線 2 が、入力信号  $A'$  を所定時間遅延させて出力し、遅延線 4 が、遅延線 2 の出力信号  $B'$  を所定時間遅延させて出力し、減算器 6 が、遅延線 2 の入力信号  $A'$  と出力信号  $B'$  との差信号  $D'$  を出力し、減算器 8 が、遅延線 4 の入力信号  $B'$  と出力信号  $C'$  との差信号  $E'$  を出力し、加算器 10 が、減算器 6 および 8 の出力信号  $D'$  および  $E'$  を加算する。加算器 10 の出力信号  $F'$  は、シャープネスボリューム 12 によってレベル調整されてスイッチ 26 に供給される。

【0026】エッジ検出補正回路 20Cにおいては、遅延線 2C が、Y 信号入力 A を所定時間遅延させて出力し、遅延線 4C が、遅延線 2C の出力信号 B を所定時間遅延させて出力し、減算器 6C が、遅延線 2C の入力信号 A と出力信号 B との差信号 D を出力し、減算器 8C が、遅延線 4C の入力信号 B と出力信号 C との差信号 E を出力し、絶対値回路 21C が、減算器 6C の出力信号 D の絶対値を出力し、二値化回路 22C が、絶対値回路 21C の出力信号が閾値レベル以上のときに第 1 状態（「H」）の信号を出力し、絶対値回路 21 の出力信号が閾値レベル未満のときに第 2 状態（「L」）の信号を出力する。また、絶対値回路 23C が、減算器 8 の出力信号 E の絶対値を出力し、二値化回路 24C が、絶対値回路 23C の出力信号が閾値レベル以上のときに第 1 状態（「H」）の信号を出力し、絶対値回路 23C の出力信号が所定レベル未満のときに第 2 状態（「L」）の信号を出力する。

【0027】AND ゲート 25C は、二値化回路 22C および 24C の出力信号の論理積を求め、直列接続された所定数個の微少遅延線 D が、AND ゲート 25C の出力信号を遅延させ、OR ゲート 27 が、所定数個の微少

遅延線 D の前半部分の出力信号の論理和を求め、OR ゲート 28 が、所定数個の微少遅延線 D の後半部分の出力信号の論理和を求め、AND ゲート 29 が、OR ゲート 27 および 28 の出力信号  $K'$  および  $K''$  の論理積を求める。そして、AND ゲート 29 の出力信号  $K''''$  によりスイッチ 26 を制御する。AND ゲート 29 の出力信号  $K''''$  が「H」のときには、スイッチ 26 がオンとなり、AND ゲート 29 の出力信号  $K''''$  が「L」のときには、スイッチ 26 がオフとなる。スイッチ 26 がオンのときに、加算器 14 が、遅延線 2 の出力信号  $B'$  とスイッチ 26 から出力される輪郭強調信号  $L'$  とを加算して、輪郭補正された Y 信号  $M'$  を出力する。

【0028】OR ゲート 27 の出力信号  $K'$  は、パルス中心を基準にすると、それより時間的に遅れた部分にエッジが発生したか否かを示す信号となる。また、OR ゲート 28 の出力信号  $K''$  は、パルス中心を基準にすると、それより時間的に進んだ部分にエッジが発生したか否かを示す信号となる。OR ゲート 27 の出力信号  $K'$  と OR ゲート 28 の出力信号  $K''$  との論理積である AND ゲート 29 の出力信号  $K''''$  は、図 11 に示されているように、t0 から t1 の間に「H」の部分があり（エッジが検出された）、かつ、t0 から t2 の間に「H」の部分がある（エッジが検出された）場合、t0 の期間が「L」であっても（エッジが検出されなくても）、t0 の期間は「H」となる（エッジが継続していると判断する）。従って、近接している 2 つのエッジは一連のエッジと判断するので、エッジが近接した信号に対して不自然な強調を行うことがない。（図 10 参照）。

【0029】【発明の効果】請求項 1 の輪郭補正回路によれば、入力信号のエッジ期間を検出し、この期間の間だけ、入力信号と輪郭強調信号とを加算するようにしたので、エッジの傾斜角度が大きく（比較的低い周波数成分の  $dV/dt$  を向上させる）、オーバーシュートが細い輪郭強調を行うことができるから、画質を向上させることができる（シャッキリ感があり、しかもギラギラしない画質を得ることができる）。

【0030】請求項 2 の輪郭補正回路によれば、エッジを検出する手段を、入力信号を所定時間遅延させて出力する第 1 遅延手段の入力信号と出力信号との差信号を出力する第 1 減算手段の出力信号が所定レベル以上のときに第 1 状態の信号を出力し、第 1 減算手段の出力信号が所定レベル未満のときに第 2 状態の信号を出力する第 1 検出手段と、第 1 遅延手段の出力信号を所定時間遅延させて出力する第 2 遅延手段の入力信号と出力信号との差信号を出力する第 2 減算手段の出力信号が所定レベル以上のときに第 1 状態の信号を出力し、第 2 減算手段の出力信号が所定レベル未満のときに第 2 状態の信号を出力

する第2検出手段と、第1検出手段の出力信号と、第2検出手段の出力信号との論理積を求める第1論理積手段とを備えて構成したので、簡単な構成で、エッジの傾斜角度が大きく、オーバーシュートが細い輪郭強調を行うことができる。

【0031】請求項3の輪郭補正回路によれば、エッジを検出する手段を、入力信号を所定時間遅延させて出力する第3遅延手段と、この第3遅延手段の出力信号を所定時間遅延させて出力する第4遅延手段と、第3遅延手段の入力信号と出力信号との差信号を出力する第3減算手段と、第4遅延手段の入力信号と出力信号との差信号を出力する第4減算手段と、第3減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第3減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第3検出手段と、第4減算手段の出力信号が所定レベル以上のときに第1状態の信号を出力し、第4減算手段の出力信号が所定レベル未満のときに第2状態の信号を出力する第4検出手段と、第3検出手段の出力信号と、第4検出手段の出力信号との論理積を求める第2論理積手段と、第2論理積手段の出力信号を入力とする直列接続された所定数個の遅延手段と、所定数個の遅延手段の前半部分の出力信号の論理和を求める第1論理和手段と、所定数個の遅延手段の後半部分の出力信号の論理和を求める第2論理和手段と、第1および第2論理和手段の出力信号の論理積を求める第3論理積手段とを備えて構成したので、近接している2つのエッジは一連のエッジと判断するので、エッジが近接した信号に対して不自然な強調を行うことがない。

#### 【図面の簡単な説明】

【図1】本発明の輪郭補正回路の一実施例の構成を示すブロック図である。

【図2】図1の実施例の各部の信号波形を示す波形図である。

【図3】図1の実施例の加算器14の2つの入力信号の波形および加算器14から得られる輪郭補正されたY信号出力の波形を示す波形図である。

【図4】図1の実施例によって輪郭補正されたY信号出力の波形を、従来技術によって輪郭補正されたY信号出

力の波形と比較して示す波形図である。

【図5】図1の実施例において不自然な強調がなされてしまう例を示す波形図である。

【図6】本発明の輪郭補正回路の別の実施例の構成を示すブロック図である。

【図7】図6の実施例の各部の信号波形を示す波形図である。

【図8】図6の実施例の各部の信号波形を示す波形図である。

【図9】図6の実施例の各部の信号波形を示す波形図である。

【図10】図6の実施例では、図1の実施例のような不自然な強調がなされないことを示す波形図である。

【図11】図6の実施例において得られるエッジ検出信号を示す説明図である。

【図12】輪郭補正回路が設けられるビデオ信号表示装置の一例を示すブロック図である。

【図13】従来の輪郭補正回路の一例を示すブロック図である。

【図14】図13に示された従来の輪郭補正回路の各部の信号波形を示す波形図である。

【図15】輪郭補正回路の入力信号と、理想的補正とを示す説明図である。

#### 【符号の説明】

2, 2C, 4, 4C 遅延線

5 遅延時間補償回路

6, 6C, 8, 8C 減算器

10, 14 加算器

12 シャープネスボリューム

20, 20C エッジ検出補正回路

21, 21C, 23, 23C 絶対値回路

22, 22C, 24, 24C 二値化回路

25, 25C ANDゲート

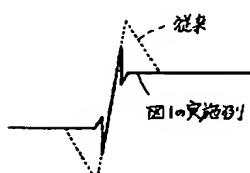
26 スイッチ

27, 28 ORゲート

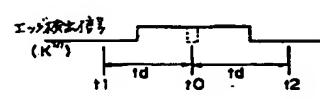
29 ANDゲート

D 微少遅延線

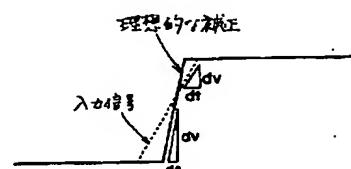
【図4】



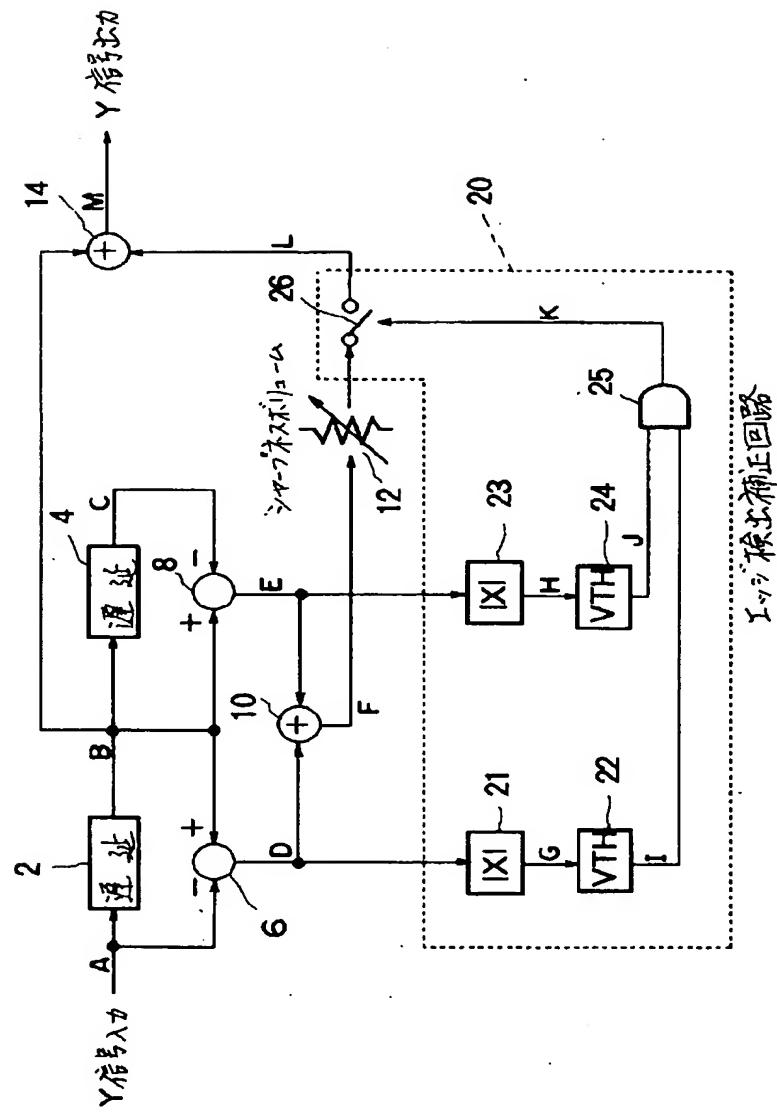
【図11】



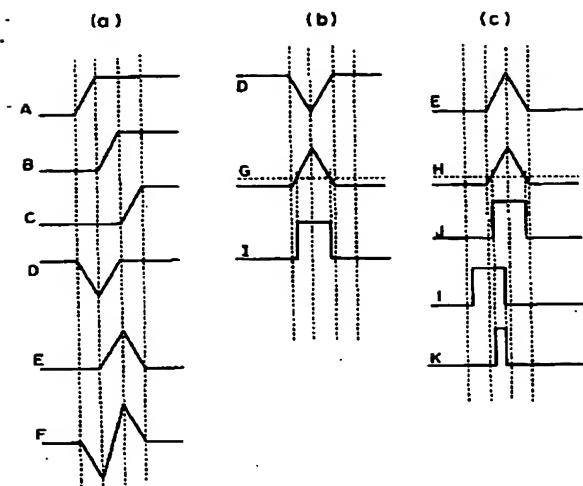
【図15】



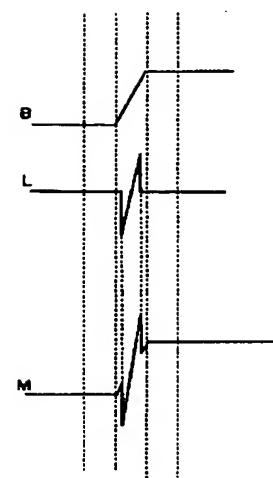
[図1]



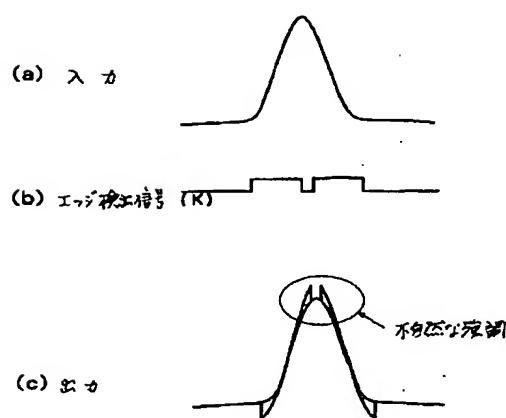
【図2】



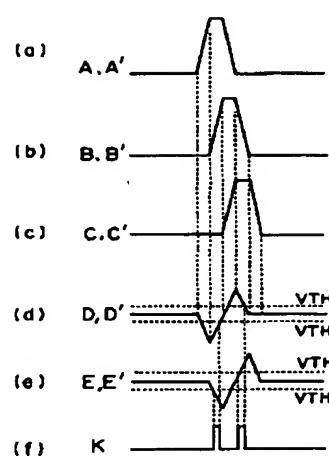
【図3】



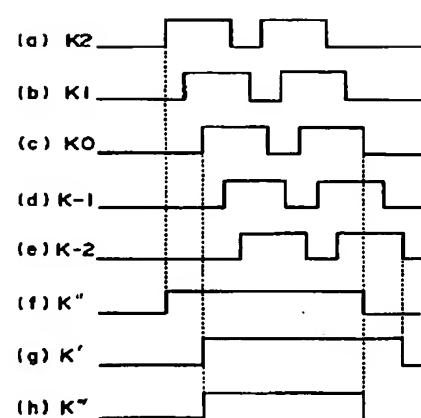
【図5】



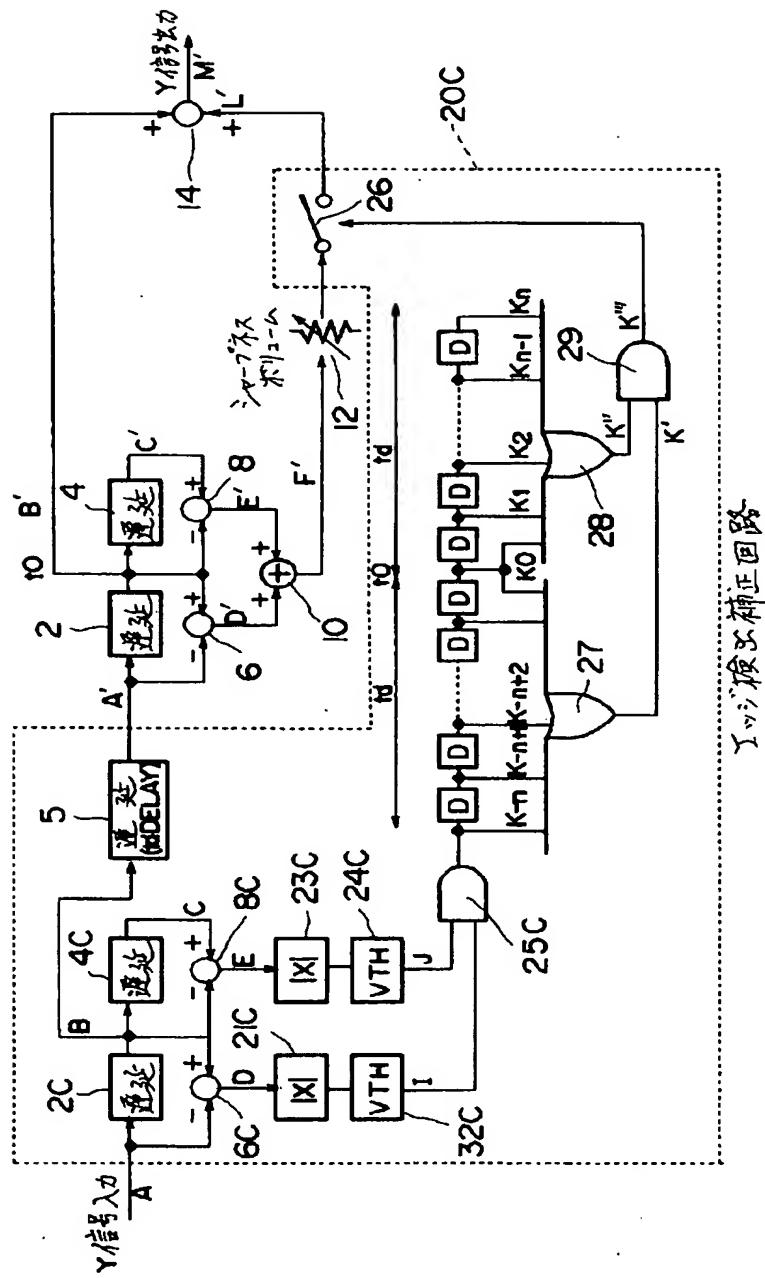
【図7】



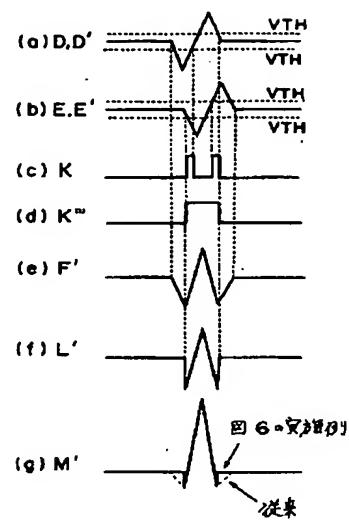
【図8】



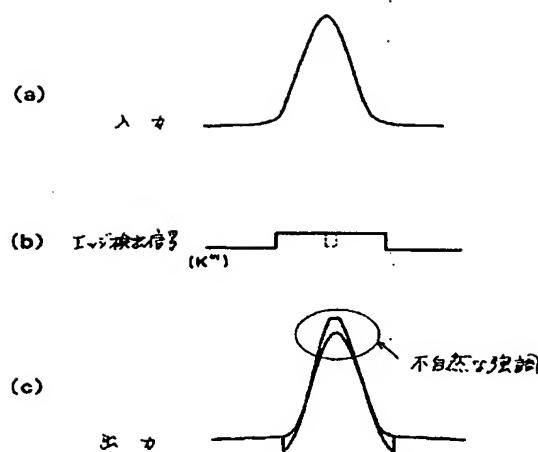
【图 6】



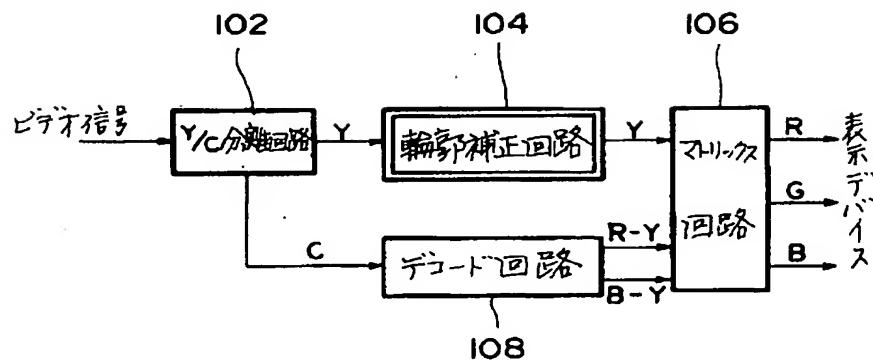
【図9】



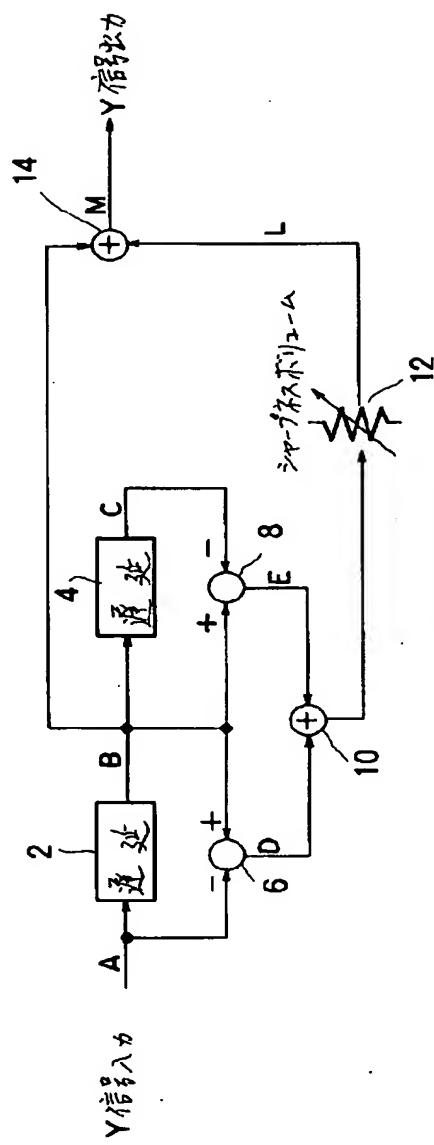
【図10】



【図12】



【図13】



【図14】

